



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06204243 A**(43) Date of publication of application: **22.07.94**

(51) Int. Cl

H01L 21/336
H01L 29/784
H01L 21/266
H01L 21/28

(21) Application number: **05001079**(22) Date of filing: **07.01.93**(71) Applicant: **SEIKO EPSON CORP**

(72) Inventor: **MOROZUMI YUKIO**
HIRANO MASARU

(54) **MANUFACTURING METHOD OF
 SEMICONDUCTOR DEVICE**

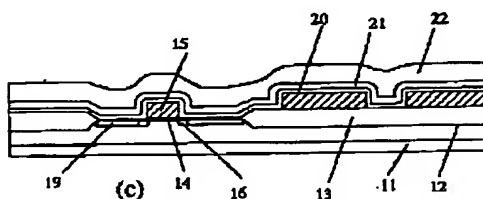
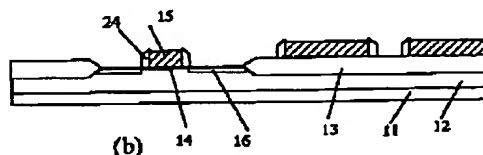
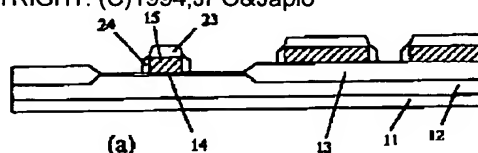
(57) Abstract:

PURPOSE: To facilitate the formation of a MOS transistor by a method wherein a protective film on a sidewall formed during the gate electrode etching step is made a part of an ion implanting mask for the formation of a MOS transistor impurity region.

CONSTITUTION: A field insulating film 13 is formed on an Si substrate 11 whereon an N, P well is formed and then a gate oxide film 14 is formed in an active region to adjust the threshold voltage by channel implantation. Later, a gate electrode pattern is formed of a photoresist 23 on a polySi doped with phosphorus to perform selective dryetching using the gate pattern as a mask. Simultaneously, a protective film 24 is formed on the sidewall of the gate electrode 15. At this time, oxygen addition, is adjusted up to 10% to enable the size of the protective film 24 to be controlled. Next, after releasing the photoresist 23, Nch and Pch of the high concentration impurity region 19 as a source and a drain are respectively ion implanted with arsenic and BF_2 . At this time, the protective film 24 on the sidewall can fulfill the role of a spacer to form an

offset region of a MOS transistor.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-204243

(43)公開日 平成6年(1994)7月22日

(51)Int.Cl.⁵

H 0 1 L 21/336
29/784
21/266

識別記号

庁内整理番号

F I

技術表示箇所

9054-4M
8617-4M

H 0 1 L 29/ 78
21/ 265

3 0 1 P
M

審査請求 未請求 請求項の数 6(全 4 頁) 最終頁に続く

(21)出願番号 特願平5-1079

(22)出願日 平成5年(1993)1月7日

(71)出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72)発明者 両角 幸男

長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内

(72)発明者 平野 優

長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内

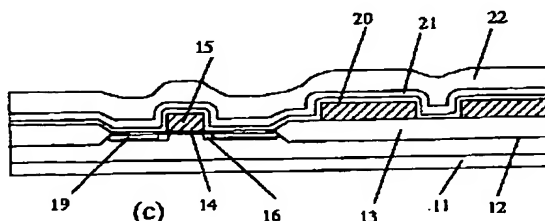
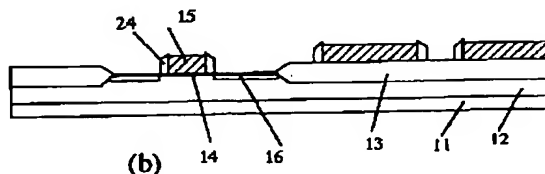
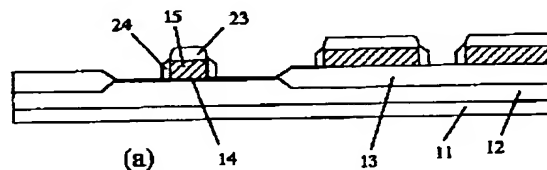
(74)代理人 弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【構成】MOSトランジスタを有する半導体装置の製造方法に関する。MOSトランジスタのゲート電極15の選択エッチングの際に形成した側壁保護膜24を高濃度不純物領域19のイオン注入マスクの一部とし、更に該側壁保護膜24を除去後、イオン注入を行いソース、ドレインの低濃度不純物領域16を形成する。

【効果】ゲート電極エッチングの際に形成した側壁の保護膜を、トランジスタのオフセット領域を形成するスペーサーとして用い、側壁スペーサー形成の為のシリコン酸化膜成長と全面エッチバックの工程が不要になりパーティクルの低減と工程短縮が図られる。更にフィールド絶縁膜13のエグレやソース、ドレイン表面の欠陥発生が防止でき、平坦化とジャンクションリーク等の低減がなされる。又イオン注入スペーサーの役割をする側壁保護膜の寸法制御が容易となり、トランジスタのパンチスルーやホットキャリアに対する特性が安定する。



【特許請求の範囲】

【請求項1】 ゲート電極の選択エッチング時に形成させた側壁保護膜を、MOSトランジスタ不純物領域形成の為のイオン注入マスクの一部としたことを特徴とする半導体装置の製造方法。

【請求項2】 MOSトランジスタの形成に際し、少なくとも主エッチングガスに側壁保護膜の成長を促進させる反応ガスを添加させながらゲート電極を選択エッチングする工程、ソース、ドレイン等の高濃度不純物領域にイオン注入する工程、前記側壁保護膜を除去する工程、ソース、ドレイン等の低濃度不純物領域にイオン注入する工程、層間絶縁膜を形成し素子からのコンタクトホールを開孔し配線を施す工程を具備したことを特徴とする半導体装置の製造方法。

【請求項3】 請求項2記載に於て、主エッチングガスガスとして塩素、弗素及び臭素あるいはこれらの化合物の少なくとも一方が共存することを特徴とする半導体装置の製造方法。

【請求項4】 請求項2記載の側壁保護膜の成長を促進させる反応ガスが酸素であることを特徴とする半導体装置の製造方法。

【請求項5】 請求項2記載の側壁保護膜の成長を促進させる反応ガスとして、水素あるいは炭素が含まれる化合物が少なくとも1種以上含まれていることを特徴とする半導体装置の製造方法。

【請求項6】 請求項2記載の側壁保護膜を除去する工程は、水酸化アンモニウムと過酸化水素の混合水溶液によることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、MOSトランジスタを有する半導体装置の製造方法に関するものである。

【0002】

【従来の技術】 MOS-LSI等は集積、高速や多機能化を図る上で微細化が要求され、従来これら半導体装置の製造方法は図2の様に、例えばウェル領域12が形成されたSi基板11にフィールド絶縁膜13を選択酸化で形成し、そのアクティブ領域にゲート酸化膜14を形成後PolySiを気相成長させ、ホトレジストをマスクにゲート電極15ドライエッチングする。この時は数m Torrの圧力で塩素やSF₆ガスにHeを用いて異方性エッチングを行う。次にホトレジストを剥離後ソース、ドレインの低濃度不純物領域（オフセット領域）16にリンやボロン等の不純物をイオン注入してから4～5000Åのシリコン酸化膜17を気相成長させる

（図2（a））。次に平行平板のRIE型ドライエッチング装置を用い、CHF₃やC₂F₆等のガスを用いて異方性の全面エッチバックを行い、ゲート電極15の側壁にスペーサー18を形成した後100～200Å程度のシリコン酸化膜20を気相成長し、該スペーサー18を

介しソース、ドレインの高濃度不純物領域19に砒素やBF₂等をイオン注入してLDD（lightly doped drain）構造とし、更にSiH₄にO₂やN₂O等の酸化性気体を気相反応させたシリコン酸化膜21とリンやボロンを含むBPSG膜22等を積層後アニールを行い層間絶縁膜とし（図2（b））、続けてコンタクトホールを開孔後、PolySiやAl合金等を成長させ抵抗素子や上層配線を施し、最後にパッシベーション膜を積層し外部電極取り出し用のボンディングパッド部を開孔している。

【0003】

【発明が解決しようとする課題】 しかしながら従来技術に於いて、側壁のスペーサー18を確実に形成するにはシリコン酸化膜17の膜厚やエッチバックのばらつきも含めて膜厚を厚くすることやオーバーエッチングを多くすることが必要である。厚くするとスペーサー18の寸法やばらつきも増長しトランジスタ特性や信頼性の安定性に欠ける。ちなみにスペースルールが0.5μm以下になると両側でのスペーサー寸法の方が大きくなり、又ゲート電極15の間からの配線取り出しを行う様な場合には、工程や構造が複雑化してしまい微細化が困難であった。更にゲート電極15も平坦化から薄膜化されると、SiH₄を反応させた気相成長のシリコン酸化膜17はスペースが狭くなるとカスピングを生じやすく、寸法が0.2μm以下のスペーサーをが量産上安定的に形成することが困難であった。

【0004】 又、スペーサー18をエッチバックで形成する工程自身がパーティクルの要因となり、又オーバーエッチでもフィールドの酸化膜のエグレやソース、ドレインのSi面の欠陥が発生し平坦性、歩留りや電気特性に支障をきたしていた。

【0005】 一方量産コストの点からは微細、集積化に伴い工程増加の問題もあり、工程短縮と工程安定化が強く要求されている。

【0006】 しかるに本発明はかかる問題点を解決するもので、特にMOSトランジスタの形成を容易にし、微細半導体装置の電気特性の安定や信頼性に伴う品質の向上と製造工程の短縮を図ることを目的としたものである。

【0007】

【課題を解決するための手段】 本発明の半導体装置の製造方法は、ゲート電極の選択エッチング時に形成させた側壁保護膜を、MOSトランジスタ不純物領域形成の為のイオン注入マスクの一部としたことを特徴とする。

【0008】 又本発明の半導体装置の製造方法は、MOSトランジスタの形成に際し、少なくとも主エッチングガスに側壁保護膜の成長を促進させる反応ガスを添加させながらゲート電極を選択エッチングする工程、ソース、ドレイン等の高濃度不純物領域にイオン注入する工程、前記側壁保護膜を除去する工程、ソース、ドレイン

等の低濃度不純物領域にイオン注入する工程、層間絶縁膜を形成し素子からのコンタクトホールを開孔し配線を施す工程を具備したことを特徴とする。

【0009】

【実施例】以下本発明の実施例を、図1を用いて詳細に説明する。

【0010】ハーフミクロンのCMOSゲートアレイの製造に適用した場合に於いて、N、Pウェル12が形成されたSi基板11にフィールド絶縁膜13を選択酸化で形成しそのアクティブ領域にゲート酸化膜14を形成しチャンネル注入によりしきい値電圧を調整後、リンドープされたPolySi2500Å上に最小寸法0.45μmのゲート電極15パターンをホトレジスト23で形成し、これをマスクに選択ドライエッチングを行う

(図1(a))。この時のエッチングは平行平板のRIE装置を使用し、塩素100cc/分に酸素を約5%を添加し圧力25mtorrとし、500wでエッチ速度約2000Å, 選択比約75程度の条件とし、同時にゲート電極15の側壁に約0.12μm幅の保護膜24を形成した。この時、酸素は約10%まで添加量を調整することにより、形成される保護膜24は0.02~0.2μm位まで寸法制御が可能である。次にホトレジスト23剥離後、ソース、ドレインの高濃度不純物領域19のNchに砒素、PchにBF₂を約50keVで0.1から1×10¹⁶cm⁻²程度を各タイオン注入した(図1(b))。ここで側壁の保護膜24はMOSトランジスタのオフセット領域を形成するスペーサーの役割を果たすことになる。続いて、水酸化アンモニウム水溶液：過酸化水素水=1:1に2~10倍程度の水を加え40~80℃に加熱した溶液に5分前後浸漬させ側壁の保護膜24を除去する。次に結晶欠陥の発生を防ぐ目的で約150Åのシリコン酸化膜20を気相成長し、ソース、ドレインの低濃度不純物領域(オフセット領域)16のNchにリン、PchにBF₂を約60keVで0.5から5×10¹³cm⁻²程度各タイオン注入した。次に層間絶縁膜としてSiH₄にN₂Oを気相反応させたノンドープのシリコン酸化膜21を2000ÅとBPSG膜22を気相成長で積層後、平坦化の為にリフローと活性化を兼ねて850~900℃のアニールを行った(図1(c))。続けてコンタクトホールを開孔後Al合金等を成長させ、更に層間膜成長や配線工程を繰り返した多層配線構造とし、最後にパッシベーション膜をかけ外部電極取り出し用のボンディングパッド部を開孔した半導体装置を製造した。

【0011】以上説明した本発明の半導体装置及び製造方法によれば、まず側壁スペーサー形成の為にシリコン酸化膜成長と全面エッチバックの工程が不要になりパーティクルの低減と工程短縮が図られ、更にフィールド絶縁膜13のエグレやソース、ドレイン表面の欠陥発生の防止にも効果が認められ、平坦化とジャンクションリー

ク等の低減がなされた。又イオン注入スペーサーの役割をする側壁保護膜の寸法制御が容易となり、MOSトランジスタのパンチスルーやホットキャリアに対する特性の安定化も図られた上、0.5μmルール以下の微細構造のMOSトランジスタの安定形成も可能となった。

【0012】他の実施例として、シリコン酸化膜20を1000Å程度に厚く、且つイオン注入加速電圧を高くしてソース、ドレインの低濃度不純物領域16を形成することにより、BPSG膜22のバリアとなるシリコン酸化膜21をなくした構造や、斜めイオン注入によってゲートをオーバーラップLDD構造としたMOS-LSIも製造したが、いずれも従来に比べ工程短縮等の課題改善がなされ、電気特性や信頼性の向上が図れた。

【0013】更に、ゲート電極をエッチングする際CHF₃又はCH₂F₂を塩素100cc/分と酸素ガス10cc/分に対して1~15%程度添加する事によって、剥がれや膜厚ばらつきの少ない側壁保護膜24が形成され、特にゲート電極15膜厚が2500Å以下に薄くなる場合にも有効性が確認された。このCHF₃等の添加量によって該保護膜24の形状と0.01~0.25μm程度の寸法制御ができた。尚、ホトレジスト23剥離後に残った側壁保護膜24が、イオン注入スペーサーとして必要な形状により安定して残る為には、ホトレジスト23側壁に付着する保護膜は少ない方が良く、これには酸素の含有割合を5~20%位に増やしホトレジストの側面をテーパ化させることや、真空度を20mtorr以下にしていくのが有効である。

【0014】一方、MOSトランジスタの高濃度領域を先に形成する為、オフセット領域形成工程前に施せる熱処理の自由度が増し、シリコン酸化膜21を気相成長に変わって約900℃の熱酸化で形成させた場合や、ランプアニールや拡散炉を用いて高濃度領域の活性化工程を導入し、従来に比べ拡散層やコンタクト抵抗を下げたデバイスも製造できた。このことは、デバイス仕様から決められた拡散抵抗値を得る場合に、後工程での熱処理を減らすことが可能となり、トランジスタのパンチスルーマージン等の向上に有利となる。

【0015】尚、本発明の実施例では、PolySiゲート構造を持つ多層配線のLSIの製造について示したが、ゲート電極にMoやWの様な高融点金属のシリサイドを積層したポリサイド構造であっても良く、PolySiやシリサイドの配線、高抵抗やTFTを有するメモリにも適用できるものである。又、単チャンネルMOS構造の場合には、PchとNchの選択イオン注入の必要がないのでゲート電極15パターンのホトレジスト剥離は、高濃度イオン注入を行ってから行っても良い。

【0016】

【発明の効果】以上の様に本発明によれば、ゲート電極エッチングの際に形成した側壁の保護膜を、MOSトランジスタのオフセット領域を形成するスペーサーとして

5

6

用いることにより、工程短縮とコストの低減、更に電気特性や品質に係わる信頼性や歩留りの向上がなされ、より微細、多機能化された半導体装置の量産安定供給に寄与出来るものである。

【図面の簡単な説明】

【図1】 (a) ~ (c) は、本発明による半導体装置の製造方法を示す概略断面図である。

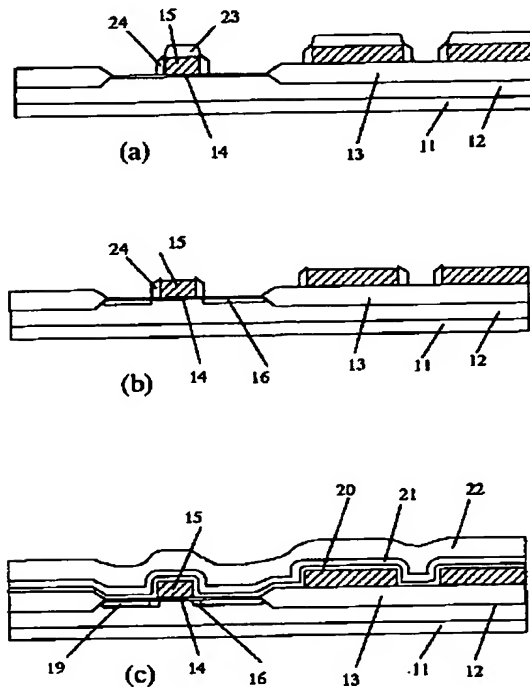
【図2】 (a) ~ (b) は、従来の半導体装置の製造方法に係わる概略断面図である。

【符号の説明】

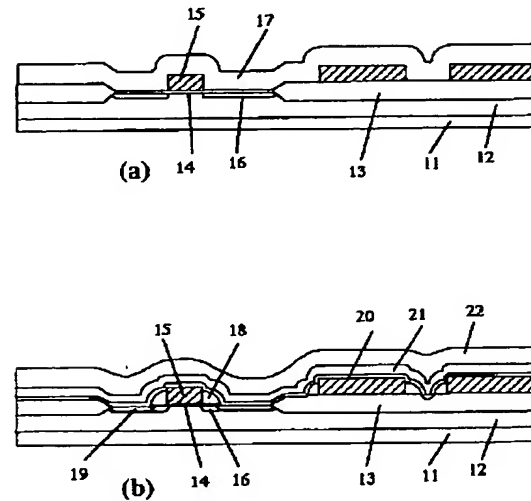
11 Si基板

12 ウェル
13 フィールド絶縁膜
14 ゲート酸化膜
15 ゲート電極
16 低濃度不純物領域
17, 20, 21 シリコン酸化膜
18 スペース
19 高濃度不純物領域
22 BPSG膜
23 ホトレジスト
24 側壁保護膜

【図1】



【図2】



フロントページの続き

(51) Int. Cl.⁶

H01L 21/28

識別記号

片内整理番号

L 7376-4M

F I

技術表示箇所